

# ATPE

## Isolierter SiC MOSFET Treiber ATPE-TRA mit 40A Steuerstrom und einem Frequenzbereich bis 400kHz

### Beschreibung

ATPE hat einen neuen Treiber entwickelt, der einen SiC MOSFET über hohe Spannungen (6kV+) zuverlässig ansteuert. Die notwendige Energie für den Schaltvorgang wird direkt durch einen Planar Übertrager ohne zusätzliche Spannungsversorgung auf der Leistungsseite geliefert. Für die Schaltungsanordnung des Treibers ist ein Patent angemeldet.

### Übertrager mit extrem kleiner Streuinduktivität

Der Übertrager mit nur einer Windung auf der Primär- und Sekundärseite hat eine sehr kleine Streuinduktivität und eine sehr hohe Isolationsfestigkeit.

### Sehr schneller Schaltvorgang des SiC MOSFET

Der Gate Strom von 40A peak ermöglicht auch bei Leistungsschaltern mit sehr hoher Gate Ladung einen sehr schnellen Schaltvorgang. Die negative Ausschaltspannung verhindert auch bei steilen Schaltflanken auf der Leistungsseite Fehlschaltungen.

### Sehr geringe Ausschaltverluste

Die Treiberschaltung von ATPE reduziert die Ausschaltverluste des SiC MOSFET durch eine sehr hohe Flankensteilheit der Gate-Source Spannung im Nulldurchgang. Die Unterschwingung der Gate-Source Spannung unter die negative Ausschaltspannung bleibt dabei auch bei einer langen Zuleitung (10cm+) zwischen Treiber und MOSFET sehr gering.

### Hohe Zuverlässigkeit

Der hohe Treiberstrom ermöglicht es, eine zusätzliche Kapazität direkt zwischen Gate und Source des SiC MOSFET parallel zu schalten. Dadurch werden parasitäre Schwingungen am Gate abgeschwächt, wodurch die Gate-Source Spannung auch unter ungünstigsten Bedingungen im erlaubten Bereich bleibt.

### EIGENSCHAFTEN

- Direkte Ansteuerung mit TTL-Pegel
- Frequenzbereich bis 400kHz
- Gate Gesamtladung bis 3000nC
- Gate Strom: bis 40A peak
- Tastverhältnis: 0 bis 100%
- Gate Spannung: on: 15V bis 18V  
off: -3V/-5V dynamisch / 0V/-3V statisch
- Sehr hohe Flankensteilheit der Gate-Source Spannung im Nulldurchgang
- Keine Limitierung der Spannungssteilheit über der Trennstrecke
- Active Miller Clamp
- Nur ein Übertrager für den Ein- und Ausschaltvorgang
- Erzeugung der Impulse im Treiber ohne FPGA
- Keine zusätzliche Spannungsversorgung auf der Leistungsseite
- Geringe Abweichung der Schaltzeiten über den gesamten Temperaturbereich
- Überspannungsschutz am Gate
- Kompaktes und vergossenes Modul
- Kriechstrecke / Luftstrecke: 60mm
- Prüfspannung: 6kV<sub>rms</sub> min.
- Temperaturbereich: -40°C / +85°C bis 125°C möglich

### ANWENDUNGEN

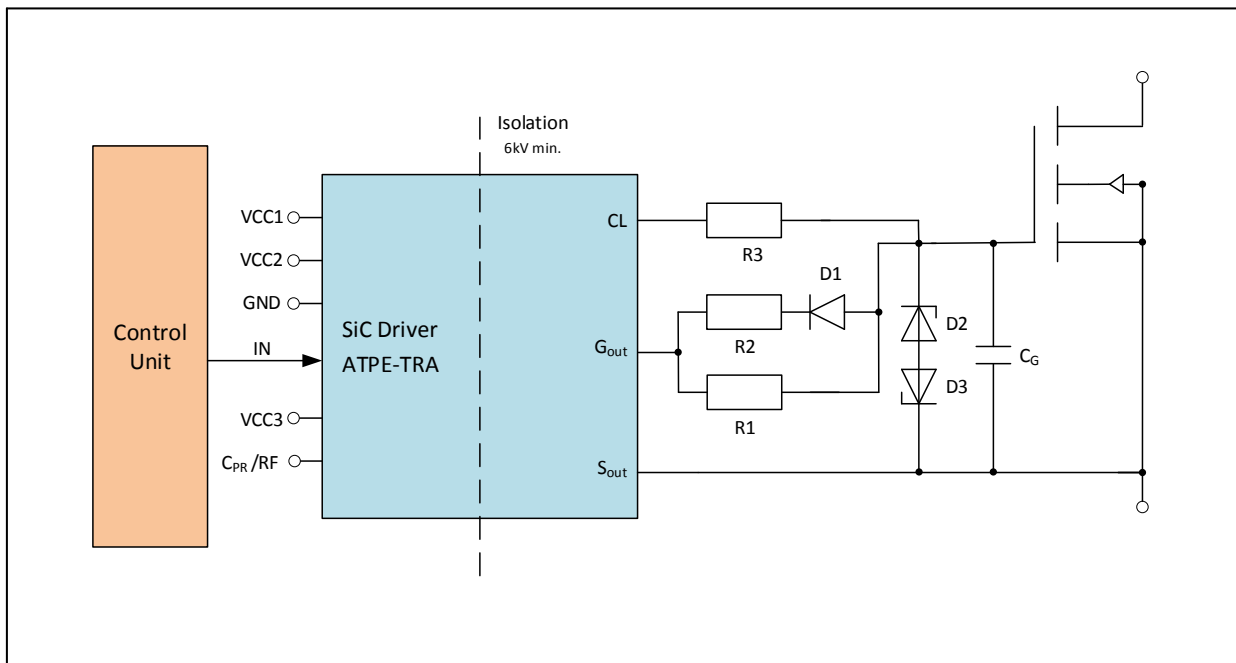
- HIGH-SIDE-TREIBER
- HOCH- TIEFSETZSTELLER
- ANTRIEBSTECHNIK
- SCHALTNETZTEILE

## 1. Inbetriebnahme

Fig. 1 zeigt die Anordnung für die Inbetriebnahme des SiC Treibers. Da auf der Leistungsseite keine zusätzliche Spannungsversorgung benötigt wird, kann der SiC MOSFET in einer Applikation sofort in Betrieb genommen werden. Die Diode D1 und der Widerstand R2 wird benötigt, um beim Ausschaltvorgang eine steilere Schaltflanke als beim Einschaltvorgang zu erhalten. Sehr geringe Ausschaltverluste ergeben sich durch eine sehr hohe Flankensteilheit der Gate-Source Spannung im Nulldurchgang am SiC MOSFET mit folgender Konfiguration:

- kleiner Gate Vorwiderstand (minimal 0,50 $\Omega$ )
- dynamische Ausschaltspannung zwischen -3V und -5V  
statische Ausschaltspannung: 0V oder zwischen -3V und -5V  
(nach dem Einschalten der Treiber Versorgungsspannung ist der Gate-Source Anschluss des SiC MOSFET niederohmig mit 10 $\Omega$  abgeschlossen)
- zusätzliche Kapazität  $C_G$  direkt zwischen dem Gate und Source Anschluss des SiC MOSFET  
(siehe 2.2)

Die Ansteuerung des SiC MOSFET Treibers erfolgt am Eingang IN mit TTL-Pegel (positive Flanke schaltet den SiC MOSFET ein, negative Flanke schaltet den SiC MOSFET aus). Die positive Amplitude der Gate-Source Spannung wird durch die Versorgungsspannung VCC1 bestimmt (zwischen +14V und +20V). Die Spannung VCC2 wird für die Versorgung der Logik Baugruppe benötigt.



**Fig. 1 Typical Application**

## **Betrieb mit einer negativen Spannung im dynamischen Ausschaltvorgang und einer statischen Spannung im ausgeschalteten Zustand zwischen 0V und -5V**

Für einen Betrieb mit sehr geringen Schaltverlusten erzeugt der Treiber beim dynamischen Ausschaltvorgang eine negative Spannung (typ. -5V). Nach dem dynamischen Ausschaltvorgang begrenzt die Serienschaltung aus Transildiode D2 und Transildiode D3 den negativen Spannungswert.

Nach dem Nulldurchgang der Gate-Source Spannung wird der Transistor T1 eingeschaltet (active Miller clamp). Dadurch ist der Gate-Source Anschluss im ausgeschalteten Zustand immer niederohmig mit einem Widerstand von 10Ohm abgeschlossen.

### **Active Miller Clamp**

Durch den eingeschalteten Transistor T1 (Fig. 2) im ausgeschalteten Zustand ist der Gate-Source Anschluss des angesteuerten SiC MOSFET niederohmig abgeschlossen. Dadurch wird ein durch den Miller Strom verursachter Spannungsanstieg am Gate-Source Anschluss begrenzt und verhindert dadurch ein fehlerhaftes Einschalten des SiC MOSFET. Der Miller Strom entsteht durch einen sehr schnellen Drain-Source Spannungsanstieg und die Rückkopplung durch die Drain-Gate Kapazität. Ein weiterer Vorteil dieser Schaltungsanordnung besteht darin, dass die parasitäre Schwingung am Gate-Source Anschluss beim Ausschaltvorgang gedämpft wird und die Gate-Source Spannung nach dem negativen Peak von -5V in kürzester Zeit den Wert 0V hat.

#### Schaltungsanordnung bei einer statischen Gate-Source Spannung von 0V:

Ein Widerstand R3 von 10Ohm zwischen dem Treiber Anschluss CL und dem Gate Anschluss erzeugt eine niederohmige Impedanz am Gate-Source Anschluss und reduziert Schwingungen (Fig. 2)

siehe: atpe\_tra\_schaltverhalten062020.pdf ([www.atpe.de](http://www.atpe.de))

#### Schaltungsanordnung bei einer statischen Gate-Source Spannung von -3V:

Statt des Widerstandes von 10Ohm wird eine 3,3V Transildiode zwischen dem Treiber Anschluss CL und dem Gate Anschluss geschaltet. (Anode am Gate Anschluss, Kathode am Anschluss CL)

## **2. Schaltungsprinzip des SiC MOSFET Treibers von ATPE**

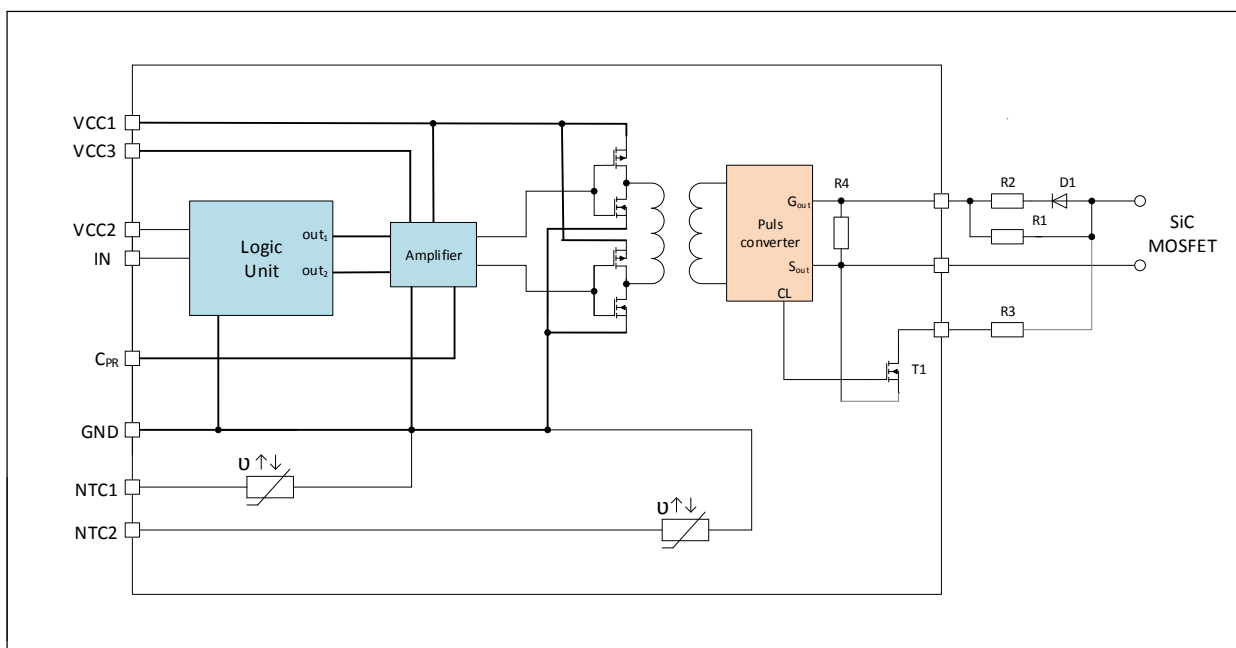
Die neuen Treibermodule von ATPE ermöglichen es, einen SiC MOSFET über hohe Spannungen potential trennend zuverlässig anzusteuern. Das Treibermodul liefert die Ansteuerenergie direkt über einen Übertrager in Planartechnik und benötigt keine zusätzliche Spannungsversorgung auf der Leistungsseite. Der Treiberstrom von 40A peak garantiert auch bei Leistungsschaltern mit großer Gate-Ladung ein schnelles Schalten ohne Limitierung der Spannungssteilheit über der Trennstrecke. Die negative Ausschaltspannung verhindert Fehlschaltungen durch steile Schaltflanken auf der Leistungsseite und die sehr geringe Abweichung der Schaltzeiten über den gesamten Temperaturbereich ermöglicht eine genaue Bestimmung des Schaltzeitpunktes und somit den Einsatz im Frequenzbereich bis über 1MHz.

In Fig. 2 ist das Prinzip des Treibers dargestellt. Der ladungsgesteuerte SiC MOSFET benötigt zum Einschalten einen positiven Spannungsimpuls zwischen +15V und +20V und zum sicheren Ausschalten einen negativen Spannungsimpuls mit einer Amplitude zwischen -3V und -5V. Das Ausschalten mit der Spannung von 0V ist zwar möglich, führt aber zu erhöhten Ausschaltverlusten. In den meisten Fällen verändert sich das Tastverhältnis des Steuersignals, so dass die Zeitdauer für den ausgeschalteten

Zustand und eingeschalteten Zustand unterschiedlich ist. Dieses Problem wird dadurch gelöst, dass nur kurze Impulse zum Ein- und Ausschalten am Eingang der Übertrager anliegen, die auf der Sekundärseite mit dem Puls Umformer verlängert werden. Da die Schaltzeiten bei SiC MOSFETs sehr klein sind und die Kommutierungszeiten meist unter 300ns liegen, sind die Impulse zum Ein- und Ausschalten entsprechend kurz, wodurch die Verluste in den Übertragern auch bei hohen Frequenzen gering sind und die Baugröße klein wird.

Die Logik Baugruppe erzeugt mit der positiven Flanke des Eingangssignals IN den kurzen Einschaltimpuls out1 zum Einschalten des SiC MOSFET und mit der negativen Flanke des Signals IN den kurzen Ausschaltimpuls out2 zum Ausschalten. Der bei niedrigen Frequenzen durch die Entladung über den Abschlusswiderstand am Gate verursachte Spannungsabfall wird durch Refreshimpulse ausgeglichen. Die Schaltung garantiert Unempfindlichkeit gegenüber Störimpulsen, da die Primärwicklung des Übertragers während der ganzen Periode des Eingangssignals immer niederohmig abgeschlossen ist.

Der Treiber benötigt extern auf der Leistungsseite nur eine Diode und zwei Gate Vorwiderstände. Mit den Gate Vorwiderständen wird die Amplitude des Ladestromes und somit die Schaltzeiten für den Einschalt- und Ausschaltvorgang des SiC MOSFET eingestellt. Die Spannung VCC2 mit 5V wird für die Versorgung der Logikbaugruppe benötigt. Die Spannung VCC1 zwischen +15V und +20V bestimmt die Amplitude der positiven Gate-Source Spannung.



**Fig. 2 Block Diagram SiC MOSFET Driver ATPE-TRA**

## **2.1. Eigenschaften des SiC MOSFET Treibers von ATPE**

Durch die sehr hohe Flankensteilheit der Gate-Source Spannung im Nulldurchgang und durch die negative Ausschaltspannung zwischen -3V und -5V werden beim Ausschaltvorgang die Verluste im SiC MOSFET sehr gering, da die Größe der Ausschaltverluste von beiden Faktoren abhängen. Die besondere Eigenschaft des Treibers von ATPE besteht darin, dass die sehr hohe Flankensteilheit im Nulldurchgang auch bei einer langen Zuleitung (10cm+) zwischen Treiber und SiC MOSFET nur zu einer geringen Unterschwingung unter die negative Ausschaltspannung führt.

### **Eine spezielle Schaltungsanordnung im SiC MOSFET Treiber von ATPE erzeugt eine hohe Flankensteilheit der Gate-Source Spannung im Bereich des Ausschaltvorganges fast ohne negative Spannungsüberhöhung**

Bei einigen Gate Treiberschaltungen mit einem kleinen Gate Vorwiderstand in der Zuleitung entsteht am Ende des Ausschaltvorganges durch die Streuinduktivität eine negative Spannungsüberhöhung am Gate-Source Anschluss. Eine negative Spannungsüberhöhung der Gate-Source Spannung beim Ausschaltvorgang hat einen erheblichen Nachteil. So ist bei SiC MOSFETs im Gegensatz zu MOSFETs aus Silicium der Abstand zur minimal zulässigen Spannung von meistens -10V deutlich geringer. Die statische Gate-Source Spannung im ausgeschalteten Zustand sollte bei den meisten SiC MOSFETs deutlich größer als -10V sein und abhängig vom verwendeten SiC MOSFET zwischen -5V und 0V liegen. Um beim Ausschaltvorgang einen Wert der Gate-Source Spannung im optimalen Bereich zu gewährleisten, ist die Reduzierung der negativen Spannungsüberhöhung am Ende des Ausschaltvorganges sehr sinnvoll. Die Reduzierung der negativen Spannungsüberhöhung am Gate ist auch deshalb wichtig, da durch den Anstieg der Drain-Source Spannung beim Ausschaltvorgang Schwingungen am Gate eingekoppelt werden, die den Abstand zum zulässigen Grenzwert weiter verringern.

### **Bei der Schaltungsanordnung von ATPE wird die Energie in der Streuinduktivität der Zuleitung am Gate für die Ladung der Gate-Source Kapazität verwendet und erzeugt deshalb fast keine negative Spannungsüberhöhung am Gate-Source Anschluss**

Die Funktionsweise der Schaltung von ATPE zur Reduzierung der negativen Spannungsüberhöhung:  
Im Nulldurchgang der Gate-Source Spannung am Ende des Ausschaltvorganges beträgt der Wert der Spannung am Ausgang des Übertragers im Treiber zwischen 0V und dem Wert im ausgeschalteten Zustand, der meist zwischen -5V und -2V liegt. Durch die gespeicherte Energie in der Streuinduktivität der Zuleitung wird die Gate-Source Kapazität auf die negative Amplitude der Gate-Source Spannung aufgeladen. Die Energie in der Streuinduktivität wird in der Schaltungsanordnung von ATPE für die Ladung der Gate-Source Kapazität verwendet und erzeugt deshalb fast keine negative Spannungsüberhöhung am Gate-Source Anschluss. Die Schaltung ist ein großer Vorteil bei der Erstellung eines Layouts einer Leistungsbaugruppe, da die Treiberbaugruppe nicht direkt am SiC MOSFET platziert werden muss und dadurch die Leistungsbauteile mit den SiC MOSFETs und den Zwischenkreiskondensatoren optimal platziert werden können. Für diese spezielle Schaltung ist ein Patent beantragt.

## **2.2. Erhöhung der Zuverlässigkeit durch die Parallelschaltung einer zusätzlichen Kapazität direkt zwischen Gate und Source des SiC MOSFET**

Der schnelle Spannungsanstieg zwischen Drain und Source beim Ausschaltvorgang erzeugt durch die Rückwirkungskapazität  $C_{\text{rss}}$  einen Impulsstrom in das Gate, der zu einem schnellen Spannungsanstieg am Gate und zu einem sehr kurzen Wiedereinschalten führt. Die zusätzliche Kapazität am Gate dämpft die angeregte Schwingung durch den rückgekoppelten Impuls und die schnell abfallende Spannung an der Kapazität erzeugt einen hohen Ladestrom am Gate, so dass die Gate-Source Spannung trotzdem schnell abfällt und die durch den rückgekoppelten Spannungsimpuls entstehenden Verluste gering bleiben. Ein weiterer Vorteil der zusätzlichen Kapazität am Gate ist die Dämpfung von parasitären Schwingungen, die vom Source Anschluss eingekoppelt werden. Insgesamt erhöht die zusätzliche Kapazität die Zuverlässigkeit, da bei einer optimalen Dimensionierung der Kapazität die Gate-Source Spannung während des Ausschaltens sicher im zulässigen Bereich bleibt.

## **2.3. Anpassung des Treibers an die Gate-Ladung des SiC MOSFET mit der extern am Pin $C_{\text{PR}}$ angeschlossenen Kapazität**

Eine spezielle Schaltungsanordnung im Treiber ermöglicht beim Ausschaltvorgang eine sehr hohe Flankensteilheit der Gate-Source Spannung im Nulldurchgang und dadurch sehr geringe Ausschaltverluste. Diese Schaltungsanordnung benötigt eine Anpassung des Treibers an die Gate-Ladung des SiC MOSFET mit einer abgestimmten Kapazität. Damit nicht für jede Applikation eine andere Variante des Treibers bestückt werden muss, kann der Treiber in einem bestimmten Bereich mit dem extern angeschlossenen Kondensator  $C_{\text{PR}}$  an die Gate-Ladung des SiC MOSFET angepasst werden. Für die Berechnung der Kapazität des Kondensators  $C_{\text{PR}}$  wird die Summe aus der Gate-Source Kapazität und der zusätzlichen Kapazität des Kondensators  $C_{\text{G}}$  am Gate des SiC MOSFET verwendet. Bei der Bestellung des Treibers wird der passende Typ aufgrund der Gate Gesamtladung ausgewählt. Die benötigte Kapazität des Kondensators  $C_{\text{PR}}$  wird in der Applikation abgestimmt. Um die parasitäre Schwingung am Gate zu reduzieren, wird ein Wert für die Kapazität des Kondensators  $C_{\text{G}}$  von mindestens 4,7nF empfohlen.

### **Refreshimpulse**

Bei niedrigen Frequenzen des Eingangssignals IN entsteht durch die Entladung über den Abschlusswiderstand am Gate-Source Anschluss ein Spannungsabfall, der nicht zu vernachlässigen ist. Dieser Spannungsabfall wird in der Logik Baugruppe durch die Erzeugung von Refreshimpulsen an den Ausgängen out1 und out2 kompensiert. Die Frequenz dieser Refreshimpulse liegt zwischen 8kHz und 12kHz

### 3. Operating Parameters

**Table 1 Operating parameters**

Parameter	Symbol	Values		Unit	Note / Test Condition
		Min.	Max.		
Power supply primary side	VCC1	+14	+20	V	
Power supply primary side	VCC3	+3	+5	V	
Power supply logic	VCC2	4.5	5.4	V	
Logic input voltages (IN, RF)	V <sub>Logic</sub>	-0.3	5.4	V	
Gate current	I <sub>Gate</sub>		40	A	
Switching frequency	f <sub>SF</sub>		400	kHz	
Ambient temperature	T <sub>A</sub>	-40	+125	°C	

**Table 2 Logic input**

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
IN, RF low input voltage	V <sub>IN</sub>	-0.3		+0.8	V	TTL-Logic
IN, RF high input voltage	V <sub>IN</sub>	+2.0			V	

**Table 3 Gate output**

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Positive amplitude gate-source voltage			VCC1			
Negative amplitude gate-source voltage			-VCC3			-2V im statischen Zustand möglich / siehe Kapitel 1
Input IN to output propagation delay ON	T <sub>DON</sub>		130		ns	V <sub>GS</sub> = 0V
Input IN to output propagation delay OFF	T <sub>DOFF</sub>		100		ns	V <sub>GS</sub> = 0V
Input IN to output propagation delay ON variation due to temperature	ΔT <sub>DON</sub>		8		ns	Test condition VCC1 = +18V VCC3 = +5V R <sub>G</sub> = 2.5Ω
Input IN to output propagation delay OFF variation due to temperature	ΔT <sub>DOFF</sub>		8		ns	total gate charge: 160nC additional capacitor C <sub>G</sub> at gate-source: 4,7nF
Steep slope at gate voltage zero crossing	ΔU <sub>GS</sub> /ΔT		0,33		V/ns	T <sub>A</sub> : 0°C/+85°C
Rise time	T <sub>RISE</sub>		50		ns	V <sub>GS</sub> = 0V / 70% V <sub>HGS</sub>
Fall time	T <sub>FALL</sub>		40		ns	70% V <sub>HGS</sub> / V <sub>GS</sub> = 0V

## **4. Pin Function**

### **VCC1**

Positive power supply primary side

Die Spannung bestimmt die positive Amplitude der Gate-Source Spannung  
(zwischen +14V und +20V)

### **VCC2**

Positive logic supply (+5V)

Versorgungsspannung für die Logik Baugruppe

### **VCC3**

Positive power supply primary side (+5V)

### **GND**

Ground connection

### **IN**

Control signal for driver output (TTL-Pegel)

Positive Flanke schaltet den SiC MOSFET ein, negative Flanke schaltet den SiC MOSFET aus  
(interner Abschlusswiderstand zwischen IN und GND vorhanden)

### **C<sub>PR</sub>**

Mit dem extern angeschlossenen Kondensator C<sub>PR</sub> wird der Treiber an den verwendeten SiC MOSFET angepasst (siehe 2.3)

### **G<sub>out</sub>**

Driver output gate

### **S<sub>out</sub>**

Driver output Source

### **CL**

Miller clamp

### **NTC1**

Temperatursensor NTC 1

Ein Pin des Sensors ist intern mit GND verbunden

### **NTC2**

Temperatursensor NTC 2

Ein Pin des Sensors ist intern mit GND verbunden



## 5. Pin Konfiguration

Pin1:	VCC1	Positive power supply primary side
Pin2:	VCC2	Positive logic supply
Pin3:	IN	Driver input (active high)
Pin4:	GND	Ground
Pin5:	VCC3	Positive power supply primary side
Pin6:	NTC1	NTC resistor 1
Pin7:	NTC2	NTC resistor 2
Pin8:	C <sub>PR</sub>	Capacitor extern
Pin9:	CL	Miller clamp
Pin10:	CL	Miller clamp
Pin11:	Gout	Driver output gate
Pin12:	Gout	Driver output gate
Pin13:	Sout	Driver output source
Pin14:	Sout	Driver output source
Pin15:	Sout	Driver output source
Pin16:	Sout	Driver output source

## 6. Treiber Abmessung

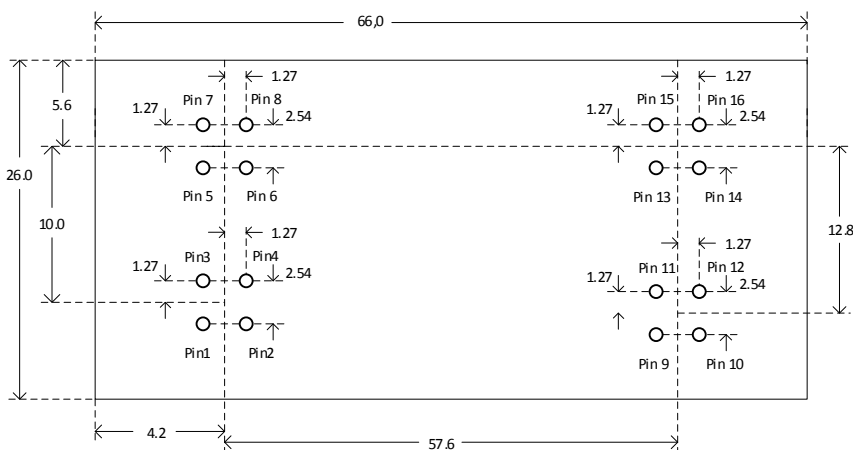
Abmessung:

Fläche: 66mm x 26mm

Höhe: 12mm (ohne Kühlkörper)

Stiftleisten: rechteckig mit 0.64mm / Länge: 4.6mm

Rastermaß der Stiftleisten: 2.54mm



Dimension bottom view